

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Atsuhiko SHIBASAKI

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR MEMORY

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. _____ Date Filed _____

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

Japan

APPLICATION NUMBER

2003-099370

MONTH/DAY/YEAR

April 2, 2003

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. _____ filed _____

☐ were submitted to the International Bureau in PCT Application Number _____

Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and

☐ (B) Application Serial No.(s)

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2003年 4月 2日

出願番号
Application Number:

特願2003-099370

[ST.10/C]:

[JP2003-099370]

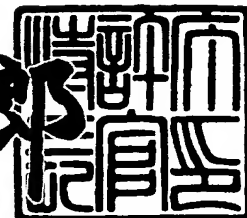
出願人
Applicant(s):

株式会社ルネサステクノロジ

2003年 6月12日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3046074

【書類名】 特許願

【整理番号】 543444JP01

【提出日】 平成15年 4月 2日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 16/06

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 柴崎 敦彦

【特許出願人】

 【住所又は居所】 東京都千代田区丸の内二丁目4番1号

 【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

 【識別番号】 100089233

 【弁理士】

 【氏名又は名称】 吉田 茂明

【選任した代理人】

 【識別番号】 100088672

 【弁理士】

 【氏名又は名称】 吉竹 英俊

【選任した代理人】

 【識別番号】 100088845

 【弁理士】

 【氏名又は名称】 有田 貴弘

【手数料の表示】

 【予納台帳番号】 012852

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1
【物件名】 要約書 1
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体メモリ

【特許請求の範囲】

【請求項 1】 複数のワード線と、複数のビット線と、前記ワード線の 1 つと前記ビット線の 1 つとに各々接続された複数のメモリセルと、
前記ビット線を駆動する Y デコーダと、
少なくとも 1 つの前記ビット線と前記 Y デコーダとの間に設けられ、前記ビット線と前記 Y デコーダとを電氣的に切断する切断素子とを備える、
半導体メモリ。

【請求項 2】 請求項 1 に記載の半導体メモリであって、
前記切断素子は、前記切断素子が設けられている複数の前記ビット線を、一体として前記 Y デコーダと電氣的に切断できることを特徴とする、
半導体メモリ。

【請求項 3】 請求項 1 に記載の半導体メモリであって、
前記切断素子は、前記切断素子が設けられている複数の前記ビット線を、個別に前記 Y デコーダと電氣的に切断できることを特徴とする、
半導体メモリ。

【請求項 4】 ワード線とビット線とに各々接続された複数のメモリセルと
前記ビット線を駆動する Y デコーダと、
前記 Y デコーダにスイッチ回路を介して接続されたチャージポンプ回路及びポート回路とを備えることを特徴とする、
半導体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体メモリに係る発明であって、特に、過消去不良のメモリセルが存在するか、デコーダの不良かを容易に区別することができる半導体メモリに関するものである。

【0002】

【従来の技術】

フラッシュメモリなどの半導体メモリは、フローティングゲートに電子を入れた状態を書込状態、フローティングゲートから電子を抜いた状態を消去状態としている。この半導体メモリにおいてセルに異物や欠陥がある場合、消去時にフローティングゲートから電子が抜けすぎ、過消去不良のメモリセルが生じる場合がある。

【0003】

フラッシュメモリの読出し方法として、アドレスに対応するビット線とワード線に電圧を印加し、ビット線に印加した電圧または電流の変化をセンスアンプにより判定し、ビット線に印加した電圧が低下またはビット線に電流が流れた場合を消去状態、ビット線に印加した電圧が変化しないまたはビット線に電流が流れない場合を書込状態と判定するように構成した場合、過消去不良のメモリセルが半導体メモリに生じると、過消去不良のメモリセルから、ビット線に印加される読出し用の電圧が抜けてしまい過消去不良のメモリセルと同一のビット線にあるメモリセルは、期待値に反して全て消去状態と判定される。これは、過消去不良のメモリセルの、ソースとドレインとの間に電流リークが存在するためである。また、過消去不良のメモリセルが半導体メモリに生じると、メモリセルへの書込の際に過消去不良のメモリセルからチャージポンプ回路で発生された書込用にビット線に印加される電圧が抜け、過消去不良のメモリセルと同一のビット線にあるメモリセルに書き込めなくなる。

【0004】

デコーダに異常がある場合や、メモリセルを書込状態又は消去状態にするための電圧を発生させるチャージポンプ回路に異常がある場合も、過消去不良のメモリセルが生じた場合と同様の現象が生じる場合がある。そのため、半導体メモリの不良（故障）解析においては、デコーダの異常やチャージポンプ回路の異常から、過消去不良のメモリセルを区別することが重要となる。

【0005】

特許文献1では、過消去されたメモリセルの漏れを最小限にするための不揮発

性メモリアレイを読むための方法が記載されているが、デコーダの異常やチャージポンプ回路の異常と、過消去不良のメモリセルを区別する半導体メモリの構造や方法等は記載されていない。

【0006】

【特許文献1】

特開平9-102199号公報（第4-7頁、第1-4図）

【0007】

【発明が解決しようとする課題】

過消去不良のメモリセルを他の不良から区別することは、不良（故障）解析的に重要である。それは、過消去不良のメモリセルが発生した場合の対応策と、デコーダの異常やチャージポンプ回路の異常に対する対応策とは異なるため、不良を特定することなく対応策を講じても、改善の効果が得られない為である。さらに、改善のための不良解析に無駄な時間とコストがかかる問題もあった。

【0008】

そこで、本発明は、過消去不良のメモリセルを他の不良から区別するための構造を組み込んだ半導体メモリを提供することを目的とする。

【0009】

【課題を解決するための手段】

本発明に係る解決手段は、複数のワード線と、複数のビット線と、ワード線の1つとビット線の1つとに各々接続された複数のメモリセルと、ビット線を駆動するYデコーダと、少なくとも1つのビット線とYデコーダとの間に設けられ、ビット線とYデコーダとを電氣的に切断する切断素子とを備える。

【0010】

【発明の実施の形態】

以下、本発明をその実施の形態を示す図面に基づいて具体的に説明する。

【0011】

（実施の形態1）

図1に、本実施の形態に係る半導体メモリの回路図を示す。図1に示した半導体メモリでは、Yデコーダ1とXデコーダ2とを有している。このYデコーダ1

は、2本のビット線3, 4と接続され、Xデコーダ2は、4本のワード線5～8と接続されている。ビット線3は、フラッシュメモリセル9～12のドレイン端子が共通に接続され、ビット線4は、フラッシュメモリセル13～16のドレイン端子が共通に接続されている。また、ビット線3, 4は、読み出し時のビット線に印加される電圧(電流)変化を判定するセンスアンプに接続されている。なお、図1ではセンスアンプがYデコーダ1内に含まれている。

【0012】

ワード線5にはフラッシュメモリセル9, 13のゲート端子が、ワード線6にはフラッシュメモリセル10, 14のゲート端子が、ワード線7にはフラッシュメモリセル11, 15のゲート端子が、ワード線8にはフラッシュメモリセル12, 16のゲート端子がそれぞれ接続されている。なお、図1では、2本のビット線3, 4と4本のワード線5～8と8個のフラッシュメモリセル9～16が記載されているが、実際の半導体メモリでは、メモリ容量に応じたビット線、ワード線及びフラッシュメモリセルが設けられている。

【0013】

本実施の形態では、さらに、Yデコーダ1とビット線3, 4との間に切断素子であるビット線切断トランジスタ17, 18が設けられている。このビット線切断トランジスタ17, 18のゲート端子は共通に接続されている。なお、このビット線切断トランジスタ17, 18は、レイアウト面積が小さいこと及び低コストの関係からNチャネルトランジスタで形成されている。しかし、ビット線切断トランジスタ17, 18は、Nチャネルトランジスタに限られず、同様の機能を持つ他の切断素子であっても良い。レイアウト的にPウェルの方が小面積化に都合が良い場合にはPチャネルトランジスタでも良い。また図2にビット線切断トランジスタ17, 18のその他の一構成例を記す。

【0014】

ここで、図1では、2本のビット線3, 4にそれぞれビット線切断トランジスタ17, 18が接続されている。つまり、全てのビット線に対してビット線切断トランジスタが接続されている構成である。しかし、ビット線切断トランジスタを設けることは、半導体メモリのレイアウト面積を消費することになるので小型

化、高集積化が要求される場合には過消去不良のメモリセルが生じやすいビット線が分かっている場合にはそのビット線のみに、ビット線切断トランジスタを設ける様に半導体メモリを形成することもできる。

【0015】

不良解析を行う際は、ビット線3、4上のフラッシュメモリセル9～16がフラッシュメモリセルの書込/消去状態に関わらず書込状態と読める様になるかどうかで過消去不良のメモリセルが存在するのか他の不良かを判別する。すなわちビット線3、4に印加する読出し用のビット線印加電圧に変化がなくなるかどうかで判別する。期待値として全て消去状態となるビット線が存在するような場合には全てのフラッシュメモリセル9～16を書込状態にしてから行う方が不良解析が分かり易い。フラッシュメモリの読出し時、1アドレスに1ビットの場合アドレスバス（図示せず）から入力されるアドレス値に応じて、Yデコーダ1は対応するビット線を3または4より一つ選択し読出し用のビット線電圧を与え、Xデコーダ2は対応するワード線を5～8より一つ選択し読出し用のワード線電圧を与える。ビット線3、4及びワード線5～8でフラッシュメモリセルを9～16より一つ選択することで、アドレス値に対応するフラッシュメモリセル9～16を読出しすることができる。実際は1アドレスは複数ビットで構成されており例えば8ビットの場合にはYデコーダ1は8本のビット線を同時に選択し、読出し用のビット線電圧を与え、8個のフラッシュメモリセルが同時に読出される。

【0016】

しかし、フラッシュメモリセル9～16のうち、あるセルに過消去不良が存在すると、ソース端子ードレイン端子間に電流リークが生じる。そのため、過消去不良のフラッシュメモリセルと同一のビット線につながっているフラッシュメモリセルも、過消去不良のフラッシュメモリセルを介して電流がリークし、消去状態として読出しされる。例えば過消去不良のメモリセルがビット線3へつながるフラッシュメモリセル9に生じた場合、フラッシュメモリセル10～12が書込状態であってもフラッシュメモリセル9のソースードレイン間に電流がリークする為、読出し用にビット線に与えた電圧が抜けセンスアンプはフラッシュメモリセル10～12を消去状態と判定する。よってビット線3につながるフラッシュ

メモリセル 9～12 が全て消去状態と判定される。同様にビット線 4 につながるフラッシュメモリセル 13～16 のうち一つでも過消去不良のメモリセルが生じた場合はフラッシュメモリセル 13～16 が全て消去状態と判定される。すなわち同一ビット線につながるフラッシュメモリセルが期待値に反して全て消去状態と判定される。

【0017】

なお、同様の不良現象としてビット線 3 または 4 が、GND 線に短絡故障している場合も、読出し用にビット線に印加されている電圧がリークする為センスアンプは GND 線に短絡故障したビット線につながるフラッシュメモリセルをすべて消去状態と判定する。例えばビット線 3 に GND 線への短絡故障があればフラッシュメモリセル 9～12 が消去状態と判定される。またビット線 4 に GND 線への短絡故障があればフラッシュメモリセル 13～16 が消去状態と判定される。すなわち同一ビット線につながるフラッシュメモリセルが期待値に反して全て消去状態と判定される。

【0018】

また、Y デコーダ 1 が不良の場合も、過消去不良のフラッシュメモリセルが生じる場合と同様の不良が生じる。ここで Y デコーダ 1 の不良として、例えば、Y デコーダ 1 がビット線 3 または 4 を正しく選択することができない不良や Y デコーダ 1 内の回路において、ビット線 3 または 4 を選択する回路が GND 線と短絡する不良などがある。

【0019】

過消去不良のメモリセルと Y デコーダ 1 の不良を区別することは、不良解析において重要である。本実施の形態に係る半導体メモリでは、Y デコーダ 1 に不良があるか否かを容易に判断することができる。まず、ビット線 3 につながるフラッシュメモリセル 9～12 が期待値に反して全て消去状態と読出される場合またはビット線 4 につながるフラッシュメモリセル 13～16 が期待値に反して全て消去状態と読出される場合に、ビット線切断信号 19 を L にしてビット線切断トランジスタ 17, 18 に与え、Y デコーダ 1 とビット線 3, 4 を一体として電氣的に切断する。次に、切断前に期待値に反して全て消去状態と読出されたビッ

ト線 3 またはビット線 4 上のアドレスについて再び読出しを行う。例えばビット線 3 につながるフラッシュメモリセル 9 ～ 1 2 が期待値に反して全て消去状態と判定された場合には、切断後ビット線 3 につながるフラッシュメモリセル 9 ～ 1 2 のうちいずれか一つあるいは全てを再び読出して見る。同様にビット線 4 につながるフラッシュメモリセル 1 3 ～ 1 6 が期待値に反して全て消去状態と判定された場合には、切断後ビット線 4 につながるフラッシュメモリセル 1 3 ～ 1 6 のうちいずれか一つあるいは全てを再び読出して見る。

【 0 0 2 0 】

Y デコーダ 1 とビット線 3, 4 とが電氣的に切断されているため、Y デコーダ 1 が正常で過消去不良のメモリセルによりビット線 3 または 4 につながるフラッシュメモリセル 9 ～ 1 2 または 1 3 ～ 1 6 が期待値に反して全て消去状態と読出しされる場合には Y デコーダ 1 がビット線 3 または 4 を選択しても読出し用のビット線印加電圧に当然変化はない。そのため、ビット線 3 または 4 について再び読出しを行った場合、ビット線 3 または 4 のフラッシュメモリセル 9 ～ 1 2 または 1 3 ～ 1 6 がメモリセルの書込／消去状態に関わらず、すべて書込状態として読出される。この場合 Y デコーダ 1 が正常であると判断できる。つまり、過消去不良のフラッシュメモリセルのソース端子－ドレイン端子間で電流リークが存在していることがわかる。一方、再び読出しを行って、読出し用のビット線印加電圧に変化があると判断される場合、すなわち切断後も消去状態として読出される場合、Y デコーダ 1 に異常があると判断される。つまり、Y デコーダ 1 には、ビット線 3, 4 を正しく選択することができない不良や Y デコーダ 1 内の回路において、ビット線 3, 4 を選択する回路が GND 線と短絡する不良などが生じていると判断できる。

【 0 0 2 1 】

以上のように、本実施の形態に係る半導体メモリは、ワード線 5 ～ 8 とビット線 3, 4 とに各々接続する複数のフラッシュメモリセル 9 ～ 1 6 と、ビット線 3, 4 を駆動する Y デコーダ 1 と、ビット線 3, 4 と Y デコーダ 1 との間に設けられ、ビット線 3, 4 と Y デコーダ 1 とを電氣的に切断するビット線切断トランジスタ 1 7, 1 8 とを備えるので、Y デコーダ 1 に不良があるのか、フラッシュメ

メモリセル 9 ～ 1 6 に過消去不良があるのかを容易に区別することができる。

【 0 0 2 2 】

本実施の形態に係る半導体メモリは、ビット線切断トランジスタ 1 7, 1 8 が、過消去不良のメモリセルが生じやすいビット線のみに設けられた場合には半導体メモリのレイアウト面積を有効に利用しながら、過消去不良のメモリセルの判定が容易な半導体メモリを形成することもある。

【 0 0 2 3 】

本実施の形態に係る半導体メモリは、ビット線切断トランジスタ 1 7, 1 8 が、複数のビット線 3, 4 を、一体として Y デコーダ 1 と電氣的に切断できるので、ビット線切断トランジスタ 1 7, 1 8 を制御するための回路を別に設ける必要がなく、簡単な構成で不良解析を行うことができる。

【 0 0 2 4 】

なお、本実施の形態に係る半導体メモリは、ビット線切断トランジスタ 1 7, 1 8 を不良解析に使用するのではなく、Y デコーダ 1 の良品選別テストに用いることもできる。また、本実施の形態では、半導体メモリをフラッシュメモリとして説明したが、ビット線 3, 4 の電流(電圧)の変化をセンスアンプによって検出することによって読出す半導体メモリであれば良く、例えばマスク ROM 等も含まれる。

【 0 0 2 5 】

さらに、本実施の形態では、Y デコーダ 1 外にビット線切断トランジスタ 1 7, 1 8 を設けたが、Y デコーダ 1 とビット線 3, 4 とを電氣的に切断できる機能を有していれば、Y デコーダ 1 内にビット線 3, 4 を選択／非選択する機能とは別にビット線切断トランジスタ 1 7, 1 8 を設けても良い。これにより、半導体メモリのレイアウト面積を効率的に使用できる。

【 0 0 2 6 】

(実施の形態 2)

図 3 に、本実施の形態に係る半導体メモリの回路図を示す。図 3 に示した半導体メモリでは、実施の形態 1 と同様に Y デコーダ 1 と X デコーダ 2 とを有している。この Y デコーダ 1 は、2 本のビット線 3, 4 と接続され、X デコーダ 2 は、

4本のワード線5～8と接続されている。ビット線3、4及びワード線5～8には、8個のフラッシュメモリセル9～16が接続されている。また、ビット線3、4は、読出し時のビット線に印加される電圧(電流)変化を判定するセンスアンプに接続されている。なお、図1ではセンスアンプがYデコーダ1内に含まれている。さらに、Yデコーダ1とビット線3、4との間に切断素子であるビット線切断トランジスタ17、18が設けられている。なお、図3でも、2本のビット線3、4と4本のワード線5～8と8個のフラッシュメモリセル9～16が記載されているが、実際の半導体メモリでは、メモリ容量に応じたビット線、ワード線及びフラッシュメモリセルが設けられている。

【0027】

本実施の形態では、ビット線切断トランジスタ17、18のゲート端子が共通に接続されるのではなく、個別に切断制御回路20に接続されている。この点が実施の形態1と異なる。切断制御回路20からビット線切断トランジスタ17に送られるビット切断信号21により、ビット線切断トランジスタ17のON/OFFが制御される。また、切断制御回路20からビット線切断トランジスタ18に送られるビット切断信号22により、ビット線切断トランジスタ18のON/OFFが制御される。切断制御回路20へのビット線切断トランジスタ17、18の制御開始指示は、動作指示信号23がLまたはHの論理値をとることにより行われる。ここで、ビット線切断トランジスタ17、18には、レイアウト面積が小さいこと及び低コストの関係からNチャネルトランジスタで形成されているが、同様の機能を持つ他の切断素子であっても良い。レイアウト的にPウェルの方が小面積化に都合が良い場合にはPチャネルトランジスタでも良い。また図2にビット線切断トランジスタ17、18のその他の一構成例を記す。

【0028】

なお、図3ではビット線切断トランジスタ17、18のゲート端子が、各々切断制御回路20に接続されている構成を示したが、ビット線切断トランジスタ17、18のゲート端子は、ビット線切断トランジスタ17、18が制御される毎に切断制御回路20に接続しても良い。つまり、ビット線切断トランジスタを任意の単位でまとめて一本のビット線切断信号に接続し、切断制御回路20に接続す

る。この様に構成することで小型化、高集積化が要求される場合には切断制御回路 2 0 が制御するビット線切断信号の数を減らす事ができ切断制御回路 2 0 の構成を簡単にすることができる。

【 0 0 2 9 】

また、図 3 では、2 本のビット線 3, 4 にそれぞれビット線切断トランジスタ 1 7, 1 8 が接続されている。つまり、全てのビット線に対してビット線切断トランジスタが接続されている構成である。しかし、ビット線切断トランジスタを設けることは、半導体メモリのレイアウト面積を消費することになるので小型化、高集積化が要求される場合には過消去不良のメモリセルが生じやすいビット線が分かっている場合にはそのビット線のみ、ビット線切断トランジスタを設ける様に半導体メモリを形成することもできる。

【 0 0 3 0 】

実施の形態 1 では、Y デコーダ 1 に不良があるのか、フラッシュメモリセル 9 ~ 1 6 に過消去不良があるのかを容易に区別することができる。しかし、実施の形態 1 では、全てのビット線 3, 4 を一体として Y デコーダ 1 から切断することしかできないため、ビット線 3 とビット線 4 にそれぞれ過消去不良のメモリセルが存在する場合、すなわち複数本のビット線において過消去不良のメモリセルが存在する場合や、ビット線 3 とビット線 4 との間に短絡不良が存在する場合などに対して詳細に不良解析を行うことができない。そこで、本実施の形態では、ビット線 3, 4 を個別に Y デコーダ 1 から切断できるようにすることで、複数本のビット線 3, 4 において過消去不良のメモリセルが存在する場合などに対して詳細な不良解析を行うことができるようにしている。

【 0 0 3 1 】

本実施の形態では、動作指示信号 2 3 が L または H の論理値をとることにより切断制御回路 2 0 を駆動して、ビット線切断トランジスタ 1 7, 1 8 を個別に制御している。切断制御回路 2 0 では、ビット線切断トランジスタ 1 7, 1 8 を O N / O F F するためのビット線切断信号 2 1, 2 2 をビット線切断トランジスタ 1 7, 1 8 のゲート端子に供給している。

【 0 0 3 2 】

図 4 に、不良モードを含む半導体メモリの回路図を示す。以下、図 4 を用いて具体的な不良解析について説明する。図 4 では、Y デコーダ 1、4 本のビット線 5 1 ~ 5 4、ビット線切断トランジスタ 6 1 ~ 6 4 及び切断制御回路 2 0 が記載されている。ビット線 5 1 には、過消去不良のフラッシュメモリセルが原因の接地不良点 8 0 がある。これは過消去不良のフラッシュメモリセルのソースとドレインとの間に電流リークが存在する為である。なお、過消去不良のフラッシュメモリセルではなく、ビット線 5 1 が直接 GND 線に短絡している場合でも接地不良点 8 0 となる。ビット線 5 1 とビット線 5 2 とは、Y デコーダ 1 内で短絡不良を起こしている。この短絡箇所を相互短絡不良点 8 1 とする。また、ビット線 5 4 には、Y デコーダ 1 内に GND 線に短絡している接地不良点 8 2 がある。

【 0 0 3 3 】

図 4 のような不良を含む半導体メモリを駆動すると、ビット線 5 1、ビット線 5 2 及びビット線 5 4 については、ビット線 5 1、5 2、5 4 につながる全てのフラッシュメモリセルが期待値に反して消去状態と判定される。そこで、この図 4 の半導体メモリに、実施の形態 1 で示した全てのビット線 5 1 ~ 5 4 を一体で Y デコーダ 1 から切断する方法で不良解析を行う。しかし、この方法だと接地不良点 8 0 と接地不良点 8 2 しか存在しない場合には、接地不良点 8 0 と接地不良点 8 2 の存在を区別することができるが、相互短絡不良点 8 1 についてはビット線 5 1 ~ 5 4 を一体で Y デコーダ 1 から切断する為、切断状態でビット線 5 1 またはビット線 5 2 につながるフラッシュメモリセルを読出した場合に、ビット線 5 1 とビット線 5 2 の両方で読出し用にビット線に印加する電圧に変化がなくなり、ビット線 5 1 及びビット線 5 2 が共に接地不良点 8 0 を含むと判断されてしまう。

【 0 0 3 4 】

そこで、本実施の形態のように、ビット線切断トランジスタ 6 1 とビット線切断トランジスタ 6 2 とを別々に制御して不良解析を行う。本実施の形態において用いる不良解析方法として、方法 A と方法 B とがある。方法 A は、ビット線毎に、ビット線と Y デコーダとを電氣的に切断する切断素子を制御し、第 1 のビット線を電氣的に切断し、さらに第 1 のビット線上のアドレスを読出しする方法であ

る。方法Bは、ビット線毎に、ビット線とYデコーダとを電氣的に切断する切断素子を制御し、第1のビット線を電氣的に切断し、さらに第2のビット線上のアドレスを讀出しする方法である。

【0035】

まず、接地不良点80に対しては、ビット線51に対して方法Aを用いることで不良解析を行うことができる。切断信号回路20からビット線切断信号71を送りビット線切断トランジスタ61を制御して、ビット線51をYデコーダ1から電氣的に切断する。この状態でビット線51に対して讀出しを行うと讀出し用のビット線印加電圧に変化がない為Yデコーダ1が正しい動作状態と判断できる。一方、ビット線52に対して方法Aを用いることで不良解析を行うと、ビット線52をYデコーダ1から電氣的に切断して、ビット線52に対して讀出しを行うと相互短絡不良点81を介して接地不良点80から讀出し用のビット線印加電圧がリークするので、Yデコーダ1が異常であると判断できる。これにより、ビット線51及びビット線52が共に過消去不良のフラッシュメモリセルを含むと誤って判断されることはない。

【0036】

次に、相互短絡不良点81と接地不良点82に対しては、ビット線52とビット線54に対して方法Aを用いることでYデコーダ1内に異常があると判断することができる。具体的には、切断信号回路20からビット線切断信号72を送りビット線切断トランジスタ62を制御して、ビット線52をYデコーダ1から電氣的に切断する。この状態でビット線52に対して讀出しを行うと、Yデコーダ1内に相互短絡不良点81があるため、ビット線51を介して接地不良点80から讀出し用のビット線印加電圧がリークし、Yデコーダ1からビット線52に電流が流れていると判断され、Yデコーダ1は異常状態と判断される。また、切断信号回路20からビット線切断信号74を送りビット線切断トランジスタ64を制御して、ビット線54をYデコーダ1から電氣的に切断する。この状態でビット線54に対して讀出しを行うと、接地不良点82のため讀出し用のビット線印加電圧がリークしていると判断でき、Yデコーダ1が異常状態と判断される。

【0037】

以上のように、方法Aを不良解析に用いることでYデコーダ1内に相互短絡不良点81又は接地不良点82が存在することは判断できる。しかし、方法Aのみでは、不良が相互短絡不良点81であるのかと接地不良点82であるのかは判断できない。そこで、これら不良モードに対して方法Bの不良解析を行う。

【0038】

まず、相互短絡不良点81に対して不良解析を行う。切断信号回路20からビット線切断信号71を送りビット線切断トランジスタ61を制御して、ビット線51をYデコーダ1から電氣的に切断する。この状態でビット線52に対して読出しを行うと、接地不良点80がビット線切断トランジスタ61により切断されているため読出し用のビット線印加電圧が変化しないと判断でき、Yデコーダ1が正しい動作状態と判断される（方法B）。なお、同様に他のビット配線53, 54についても方法Bを行う。この不良解析方法により、ビット線52には過消去不良のフラッシュメモリセルがなく相互短絡不良点81を有していると判断できる。つまり、相互短絡不良点81に対して不良解析を行と、方法AではYデコーダ1の異常と判断されるが、方法BではYデコーダ1は正常と判断される。

【0039】

一方、接地不良点82に対して不良解析を行う。切断信号回路20からビット線切断信号71を送りビット線切断トランジスタ61を制御して、ビット線51をYデコーダ1から電氣的に切断する。この状態でビット線54に対して読出しを行うと、接地不良点82のため読出し用のビット線印加電圧がリークしていると判断でき、Yデコーダ1が異常状態と判断される（方法B）。なお、同様に他のビット配線52, 53についても方法Bを行う。つまり、接地不良点82に対して不良解析を行と、方法AではYデコーダ1の異常と判断され、方法BでもYデコーダ1の異常と判断される。そのため、ビット線54には接地不良点はなく、Yデコーダ1内に接地不良点が存在することがわかる。

【0040】

以上の不良解析の方法Aと方法Bとを組み合わせることにより、過消去不良のフラッシュメモリセルである接地不良点80とYデコーダ1内の相互短絡不良点81とYデコーダ1内の接地不良点82とをそれぞれ判別することができる。

【 0 0 4 1 】

以上のように、本実施の形態に係る半導体メモリでは、ビット線切断トランジスタ 1 7, 1 8, 6 1 ~ 6 4 が、複数のビット線 3, 4, 5 1 ~ 5 4 を個別に Y デコーダ 1 と電氣的に切断できるので、過消去不良のメモリセル以外の不良モードを含む場合であっても不良解析を容易に行うことができる。

【 0 0 4 2 】

さらに、本実施の形態に係る半導体メモリの不良判別方法は、第 1 のビット線 5 1 ~ 5 4 を電氣的に切断するステップと、第 1 のビット線 5 1 ~ 5 4 上のアドレスを読み出すステップとを備える方法、第 1 のビット線 5 1 ~ 5 4 上のアドレスを読み出すステップの代わりに、第 2 のビット線 5 1 ~ 5 4 上のアドレスを読み出すステップを備える方法及びそれらを組み合わせた方法なので、過消去不良のメモリセルやデコーダ不良などの様々な不良モードについて判別することができる。

【 0 0 4 3 】

なお、本実施の形態に係る半導体メモリは、ビット線切断トランジスタ 1 7, 1 8, 6 1 ~ 6 4 を不良解析に使用するのではなく、Y デコーダ 1 の良品選別テストに用いることもできる。また、本実施の形態では、半導体メモリをフラッシュメモリとして説明したが、ビット線 3, 4, 5 1 ~ 5 4 の電流(電圧)の変化をセンスアンプによって検出することによって読出す半導体メモリであれば良く、例えばマスク ROM 等も含まれる。

【 0 0 4 4 】

さらに、本実施の形態に係る半導体メモリは、Y デコーダ 1 外にビット線切断トランジスタ 1 7, 1 8, 6 1 ~ 6 4 を設けたが、Y デコーダ 1 とビット線 3, 4, 5 1 ~ 5 4 とを電氣的に切断できる機能を有していれば、Y デコーダ 1 内にビット線 3, 4, 5 1 ~ 5 4 を選択/非選択する機能とは別にビット線切断トランジスタ 1 7, 1 8, 6 1 ~ 6 4 を設けても良い。これにより、半導体メモリのレイアウト面積を効率的に使用できる。

【 0 0 4 5 】

(実施の形態 3)

図5に、本実施の形態に係る半導体メモリの回路図を示す。図5に示した半導体メモリでは、実施の形態1と同様にYデコーダ1とXデコーダ2とを有している。このYデコーダ1は、2本のビット線3、4と接続され、Xデコーダ2は、4本のワード線5～8と接続されている。ビット線3、4及びワード線5～8には、8個のフラッシュメモリセル9～16が接続されている。また、ビット線3、4は、読出し時のビット線に印加される電圧(電流)変化を判定するセンスアンプに接続されている。なお、図5ではセンスアンプがYデコーダ1内に含まれている。また、図5でも、2本のビット線3、4と4本のワード線5～8と8個のフラッシュメモリセル9～16が記載されているが、実際の半導体メモリでは、メモリ容量に応じたビット線、ワード線及びフラッシュメモリセルが設けられている。

【0046】

本実施の形態では、Yデコーダ1に接続されたチャージポンプ回路100とは別に、外部からYデコーダ1に電圧を供給できるポート回路101を設けている。チャージポンプ回路100は、切替信号102により制御されるスイッチ回路103を備え、ポート回路101も、切替信号102により制御されるスイッチ回路104を備えている。なお、スイッチ回路103とスイッチ回路104とを1つのスイッチ回路で構成しても良い。

【0047】

図5に示す半導体メモリが正常に動作する場合、チャージポンプ有効信号105がチャージポンプ回路100に供給され、チャージポンプ回路100から書込電圧がスイッチ回路103を介してYデコーダ1に印加される。これにより、Yデコーダ1は、チャージポンプ回路100からの書込電圧をビット線3またはビット線4に印加しフラッシュメモリセル9～16に対して書込動作を行うことができる。しかし、チャージポンプ回路100が出力電圧異常や電流供給能力不足の場合、チャージポンプ回路100からの書込電圧が十分Yデコーダ1に印加されず、Yデコーダ1は、フラッシュメモリセル9～16に対して書込動作を行うことができない。そのため、ビット線3、4上のアドレスに対して読出しを行っても、フラッシュメモリセル9～16に十分に書込が実施されておらず消去状態

と判断される場合がある。この状態は、過消去不良のフラッシュメモリセルがビット線3, 4に存在する場合と同じ状態である。そのため、不良解析においてチャージポンプ回路100の不良と、過消去不良のフラッシュメモリセルとを判別することができない。

【0048】

そこで、本実施の形態では、チャージポンプ回路100の不良と、過消去不良のフラッシュメモリセルとを判別できるように、チャージポンプ回路100に代えてポート回路101からもYデコーダ1に書込電圧を印加できるように半導体メモリを構成している。以下に、具体的に本実施の形態の不良解析方法について説明する。まず、半導体メモリの通常時、制御信号102によりスイッチ回路103及びスイッチ回路104を制御し、チャージポンプ回路100とYデコーダ1とを電氣的に接続し、ポート回路101とYデコーダ1とを電氣的に切断している。次に、チャージポンプ回路100の不良解析時、制御信号102によりスイッチ回路103及びスイッチ回路104を制御し、チャージポンプ回路100とYデコーダ1とを電氣的に切断し、ポート回路101とYデコーダ1とを電氣的に接続させる。ポート回路101には半導体装置の外部より外部電源（図示せず）を接続し、この外部電源から供給された電圧がYデコーダ1に印加される。但し、ポート回路101は、チャージポンプ有効信号105が供給されたときのみ、外部電源電圧をYデコーダ1に印加する。

【0049】

これにより、ポート回路101からの外部電源による外部電圧でビット線3, 4上のフラッシュメモリセル9～16に書込が実施できた場合、チャージポンプ回路100が出力電圧異常や電流供給能力不足であると判別することができる。つまり、通常の駆動で書込を実施できないビット線3, 4に対して、外部電源からの電圧の印加によりビット線3, 4に書込ができるか否かを調査することで、チャージポンプ回路100の不良を判別することができる。逆に、半導体メモリの通常時ビット線3, 4が消去状態と判断され、チャージポンプ回路100の不良解析時ビット線3, 4が消去状態と判断される場合、過消去不良のフラッシュメモリセルが存在することが判別できる。

【 0 0 5 0 】

なお、図 5 に示した半導体メモリを不良解析に使用するのではなく、半導体メモリの初期評価として、書込に必要なチャージポンプ回路 1 0 0 の出力電圧や電流供給能力をポート回路 1 0 1 に印加する電圧/電流より評価ができる。また、本実施の形態では、フラッシュメモリセル 9 ～ 1 6 に書込む際について説明したが、消去や読出し時等その他の動作時にチャージポンプ回路 1 0 0 の出力電圧を Y デコーダ 1 に供給するような半導体メモリの場合は、その他の動作時のチャージポンプ回路 1 0 0 の出力電圧異常や電流供給能力不足も判別することができる。

【 0 0 5 1 】

さらに、本実施の形態に係る半導体メモリと実施の形態 1 又は実施の形態 2 の半導体メモリとを組み合わせることで、様々な不良モードを判別できる半導体メモリを構成できる。つまり、半導体メモリは、ポート回路 1 0 1 以外にビット線切断トランジスタ 1 7, 1 8 及び切断制御回路 2 0 を備えている。

【 0 0 5 2 】

本実施の形態に係る半導体メモリの不良判別方法は、ポート回路 1 0 1 が、外部電源と接続して、ビット線 3, 4 に書込電圧又は消去電圧を供給するので、チャージポンプ回路 1 0 0 の出力電圧異常や電流供給能力不足の不良を判別することが容易にできる。

【 0 0 5 3 】

また、本実施の形態に係る半導体メモリは、ビット線切断トランジスタ 1 7, 1 8 及び切断制御回路 2 0 を備えた半導体メモリと、ポート回路 1 0 1 を備えた半導体メモリとを組み合わせるので、様々な不良モードを容易に判定することができる。

【 0 0 5 4 】

次に、本実施の形態の変形例に係る半導体メモリについて説明する。本変形例の半導体メモリは、切替信号 1 0 2 によりチャージポンプ回路 1 0 0 と Y デコーダ 1 とを電氣的に接続させ、ポート回路 1 0 1 と Y デコーダ 1 とを電氣的に接続させる。このように接続された半導体メモリに対して、外部電源に代えて測定器

(図示せず) をポート回路 101 に接続することで、書込時のチャージポンプ回路 100 の出力電圧を測定することができる。

【0055】

本実施の形態の変形例に係る半導体メモリの不良判別方法は、ポート回路 101 が測定器と接続して、Yデコーダ 1 に接続されるチャージポンプ回路 100 の出力電圧を測定するので、ポート回路 101 に測定器を接続するだけで容易にチャージポンプ回路 100 の能力を測定することができる。

【0056】

なお、本実施の形態に係る半導体メモリは、ビット線切断トランジスタ 17, 18, 61～64 を不良解析に使用するのではなく、Yデコーダ 1 の良品選別テストに用いることもできる。また、本実施の形態では、半導体メモリをフラッシュメモリとして説明したが、ビット線 3, 4, 51～54 の電流(電圧)の変化をセンスアンプによって検出することによって読出す半導体メモリであれば良く、例えばマスクROM等も含まれる。

【0057】

【発明の効果】

本発明に記載の半導体メモリは、複数のワード線と、複数のビット線と、ワード線の 1 つとビット線の 1 つとに各々接続された複数のメモリセルと、ビット線を駆動する Yデコーダと、少なくとも 1 つのビット線と Yデコーダとの間に設けられ、ビット線と Yデコーダとを電氣的に切断する切断素子とを備えるので、Yデコーダに不良があるのか、メモリセルに過消去不良があるのかを容易に区別することができる効果がある。

【0058】

別の本発明に記載の半導体メモリは、ワード線とビット線とを各々有する複数のメモリセルと、ビット線を駆動する Yデコーダと、Yデコーダにスイッチ回路を介して接続されたチャージポンプ回路及びポート回路とを備えるので、チャージポンプ回路の出力電圧異常や電流供給能力不足の不良を判別することや、チャージポンプ回路の性能評価を容易に行うことができる効果がある。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 に係る半導体メモリの回路図である。

【図 2】 本発明の実施の形態 1 に係るビット線切断トランジスタの回路図である。

【図 3】 本発明の実施の形態 2 に係る半導体メモリの回路図である。

【図 4】 本発明の実施の形態 2 に係る不良モードを含む半導体メモリの回路図である。

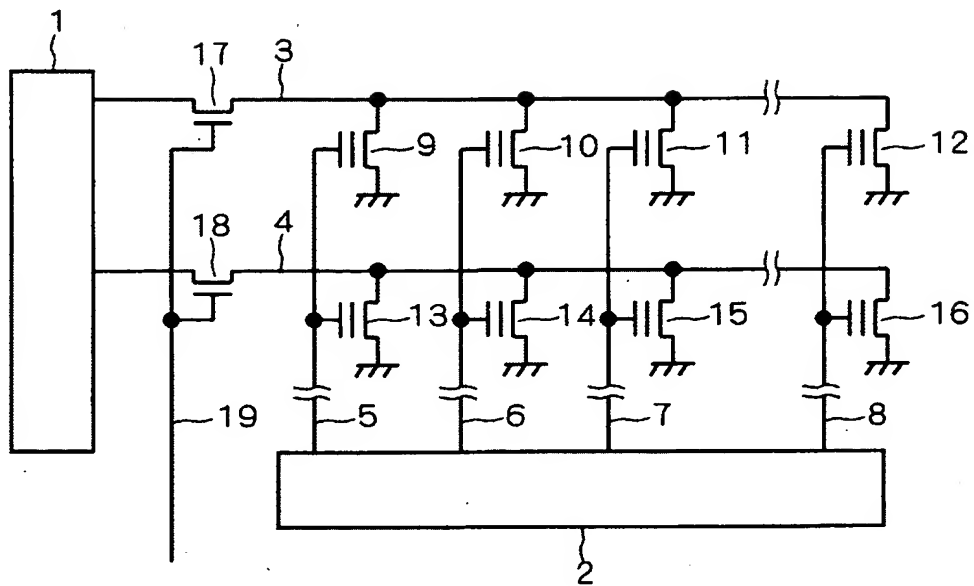
【図 5】 本発明の実施の形態 3 に係る半導体メモリの回路図である。

【符号の説明】

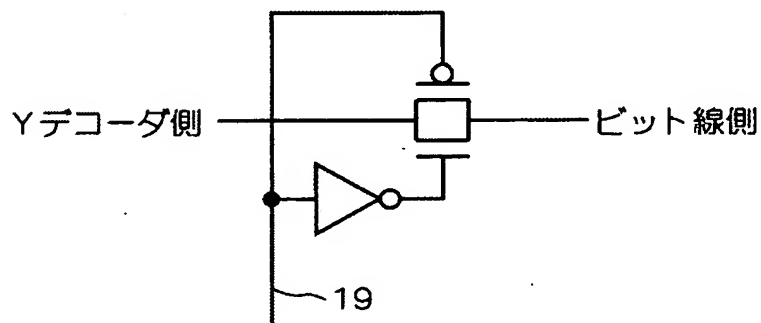
1 Yデコーダ、2 Xデコーダ、3, 4, 51, 52, 53, 54 ビット線、5, 6, 7, 8 ワード線、9, 10, 11, 12, 13, 14, 15, 16 フラッシュメモリセル、17, 18, 61, 62, 63, 64 ビット線切断トランジスタ、19, 21, 22, 71, 72, 73, 74 ビット線切断信号、20 切断制御回路、23 動作指示信号、80, 82 接地不良点、81 相互短絡不良点、100 チャージポンプ回路、101 ポート回路、102 切替信号、103, 104 スイッチ回路、105 チャージポンプ有効信号

【書類名】 図面

【図 1】

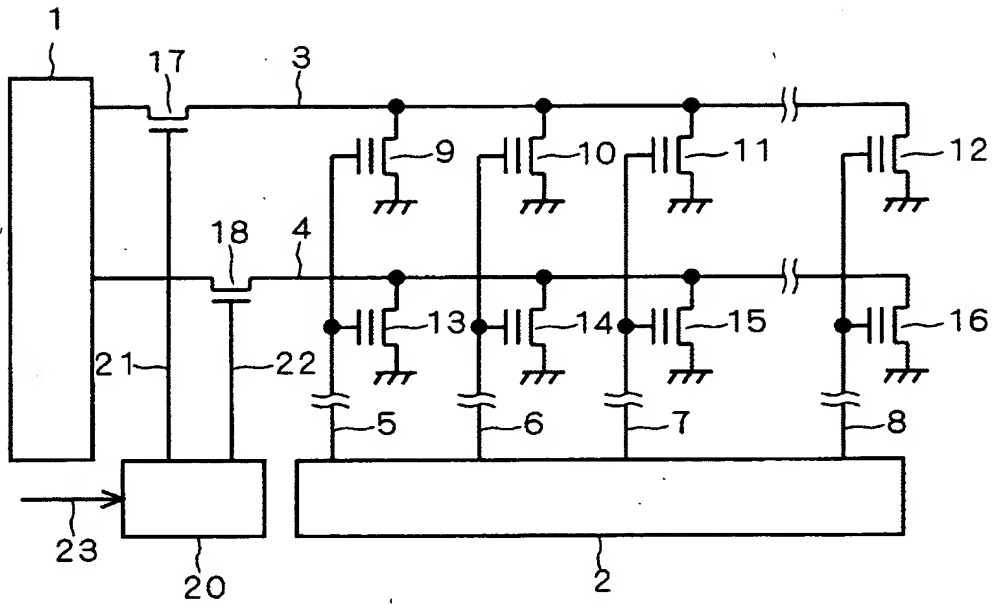


【図 2】

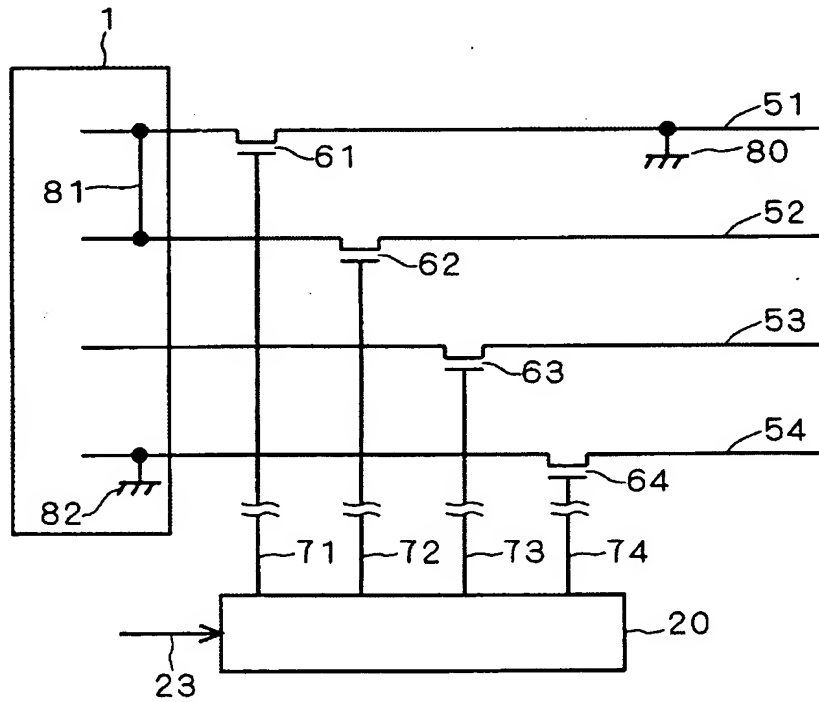


19 : ビット線切断信号

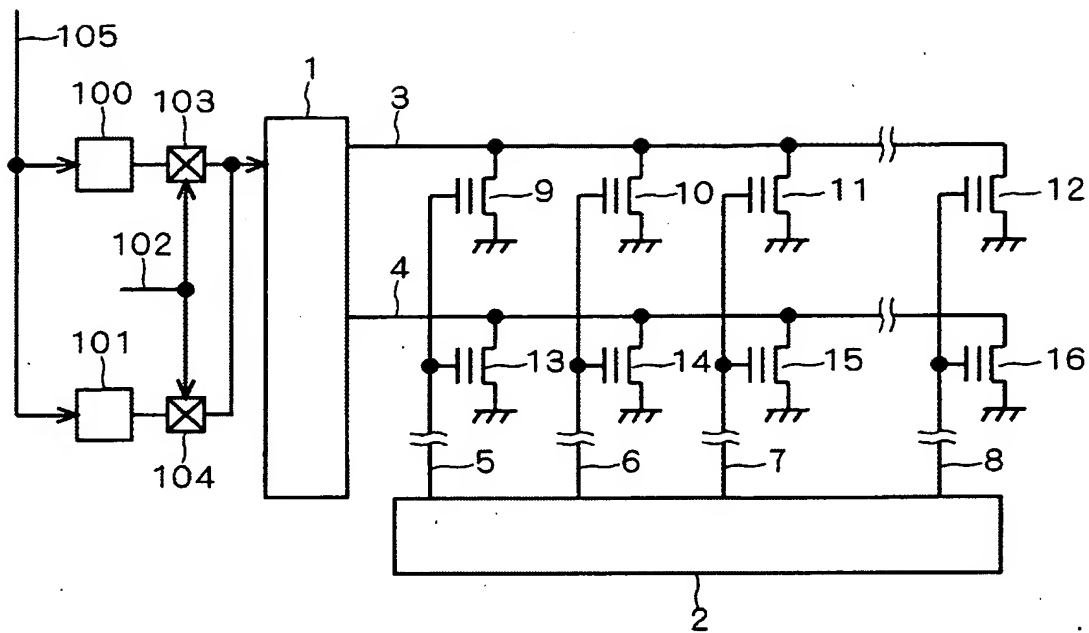
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 本発明は、過消去不良のメモリセルを他の不良から区別するための構造を組み込んだ半導体メモリを提供する。

【解決手段】 半導体メモリでは、Yデコーダ1とXデコーダ2とを有している。このYデコーダ1は、2本のビット線3、4と接続され、Xデコーダ2は、4本のワード線5～8と接続されている。ビット線3、4は、フラッシュメモリセル9～16のドレイン端子が接続されている。また、ビット線3、4は、読み出し時のビット線に印加される電圧(電流)変化を判定するセンスアンプに接続されている。ワード線5～8にはフラッシュメモリセル9～16のゲート端子が接続されている。さらに、Yデコーダ1とビット線3、4との間に切断素子であるビット線切断トランジスタ17、18が設けられている。このビット線切断トランジスタ17、18のゲート端子は共通に接続されている。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [503121103]

1. 変更年月日 2003年 4月 1日
[変更理由] 新規登録
住 所 東京都千代田区丸の内二丁目4番1号
氏 名 株式会社ルネサステクノロジ